

M314-US

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平7-202652

(43)公開日 平成7年(1995)8月4日

(51)Int.Cl.⁶

識別記号

庁内整理番号

F I

技術表示箇所

H 0 3 K 5/13

審査請求 未請求 請求項の数 8 F D (全 5 頁)

(21)出願番号 特願平6-334976

(22)出願日 平成6年(1994)12月20日

(31)優先権主張番号 1 7 1, 3 1 4

(32)優先日 1993年12月20日

(33)優先権主張国 米国 (US)

(71)出願人 590000400

ヒューレット・パッカード・カンパニー

アメリカ合衆国カリフォルニア州パロアル

ト ハノーバー・ストリート 3000

(72)発明者 ロバート・ルスト

アメリカ合衆国アイダホ州ボイジー、アラ

マール 5061

(72)発明者 フィリップ・アール・ルーク

アメリカ合衆国アイダホ州ボイジー、クレ

スウェルウェイ 4172

(72)発明者 デレク・エル・ニー

アメリカ合衆国カリフォルニア州サニーベ

ール、ホガーステラス 442

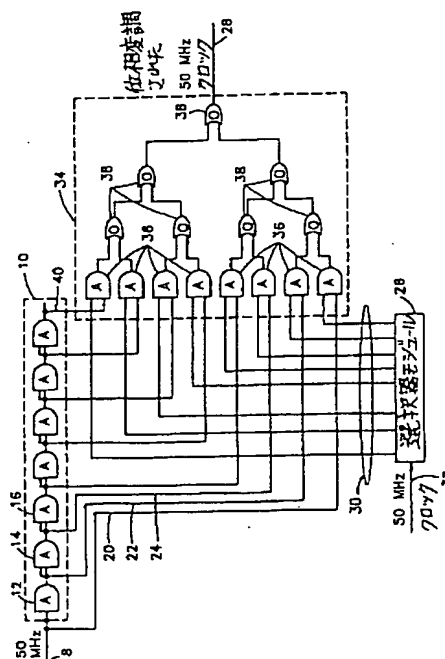
(74)代理人 弁理士 上野 英夫

(54)【発明の名称】 位相変調クロックパルス発生器

(57)【要約】

【目的】位相変調によりクロックパルスによるRF放射を低減する。

【構成】クロックパルスをタップつき遅延回路に入力し、該タップのひとつを定遅延のマルチプレクサで選択することにより位相変調されたクロックパルスを発する。周波数拡散効果によりRF放射レベルが低下する。



【特許請求の範囲】

【請求項1】基準位相を示すクロックパルスを発生するクロックパルス源(18)と、
前記クロックパルス源(18)に接続され、それぞれが前記基準位相から互いに異なる位相遅延だけ遅延したクロックパルスを発生するn個のタップ(20、22、24、40)を含む遅延手段(10)と、
前記n個のタップ(20、22、24、40)のそれぞれに接続され、クロックパルスを示す出力(28)を発生するマルチプレクサ手段(34)と、
前記マルチプレクサ手段(34)を制御して前記n個のタップ(20、22、24、40)の相異なるひとつを連続して前記出力(28)に接続し、それによって前記出力(28)が前記基準位相からそれぞれ異なる位相ずれを有する一連のクロックパルスを示すようにする選択器手段(26)とを含む位相変調クロックパルス発生器。

【請求項2】前記選択器手段(26)が前記マルチプレクサ手段(34)を制御して、前記各クロックパルス毎に、異なるタップを前記出力(28)に接続することを特徴とする請求項1に記載の位相変調クロックパルス発生器。

【請求項3】前記選択器手段(26)が前記マルチプレクサ手段(34)に接続された複数の出力(30)を有し、前記クロックパルス源(32)と結合し、各前記クロックパルスの発生毎に前記マルチプレクサ手段(34)が前記n個のタップ(20、22、24、40)の異なるひとつと前記出力(28)を相互に接続するため前記出力(30)上に異なる制御出力状態を与える回路手段を含む請求項1に記載の位相変調クロックパルス発生器。

【請求項4】前記制御出力状態が前記回路手段の前記複数の出力(30)を規則的かつ順次に変化することを特徴とする、請求項3に記載の位相変調クロックパルス発生器。

【請求項5】前記制御出力状態が前記回路手段の前記複数の出力(30)を無作為な順序で変化することを特徴とする、請求項3に記載の位相変調クロックパルス発生器。

【請求項6】前記遅延手段(10)が一連の接続された論理ゲート(12、14、16)を含み、前記n個のタップ(20、22、24、40)が前記論理ゲート(12、14、16)間の結合点にあることを特徴とする請求項1に記載の位相変調クロックパルス発生器。

【請求項7】前記論理ゲート(12、14、16)が複数の直列接続のANDゲートを含む請求項6に記載の位相変調クロックパルス発生器。

【請求項8】前記マルチプレクサ手段(34)が、それぞれが、前記遅延手段(10)における前記n個のタップ(20、22、24、40)のひとつに接続され

た一方の入力と、前記選択器手段(34)からの前記出力(30)のひとつに接続された他方の入力とを有する、複数のANDゲート(36)と、
前記ANDゲート(36)のすべての出力を前記出力(28)に接続する論理手段(38)とを含む請求項3に記載の位相変調クロックパルス発生器。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、デジタルクロック周波数発生回路に関し、より詳細には、無線周波干渉を低減した位相変調クロックパルス発生器に関する。

【0002】

【従来の技術】無線周波干渉(RFI)は、デジタル回路において知られている問題であり、その低減への努力が絶えずなされている。RFIは、基本クロック周波数の高調波によって発生することが知られている。このような場合、クロック周波数のエネルギーはそれぞれの調波の周りの特定の狭周波数帯に分配され分離される。RFIはクロック周波数の調波におけるエネルギーを調波に隣接する側波帯周辺により均等に分配することによって低減できることが知られている。このような分配は、引き続くクロックパルスの位相を変化させて、クロックパルスを連続して変調し、結果として調波のエネルギーを隣接する側波帯に確実に分配することによって達成することができる。

【0003】主クロック信号を発生するために、電圧制御発振器が利用されてきた。先行技術においては、電圧制御発振器を変調してシステムクロック周波数を変化させ、それによってクロック信号のRFIを低減しようとした。この変調を行うと、クロック信号のエネルギーが変調周波数で決まる側波帯を有するスペクトルへ拡散される。しかし、電圧制御発振器は特定の基準にロックされていないので、その出力中心周波数は、温度その他の環境の影響を受ける結果として、漂動する傾向がある。このような周波数の変動を防ぐために、電圧制御発振器は水晶制御周波数源にロックされるようになっている。しかし、このことによって、RFI低減技術を用いることができなくなっている。

【0004】電圧制御発振器の出力の位相の変調を行うために、位相ロックループが用いられてきた。このような位相ロックループは、一般的に、半導体チップに集積されていない回路要素との接続を行うため該チップ上に外部ピンを必要とする。デジタル論理のタイプによっては、位相ロックループ回路を用いることができないこともある(たとえば、ゲートアレイにおいて構成された回路)。さらに、このような回路構成においては、余分なピンを用いることができないことが多い。

【0005】

【発明が解決しようとする課題】したがって、本発明の目的は、クロック周波数の位相を変化させることのでき

3

る改良したデジタル論理変調器を提供することである。

【0006】本発明の他の目的は、完全にデジタル論理で実施した、クロック周波数源に対する変調器を提供することである。

【0007】

【課題を解決するための手段】位相変調クロックパルス発生器の変調器は、クロックパルス源から基準位相を示すクロックパルスを受信する。クロックパルス源には遅延回路が接続されていて、この遅延回路はn個のタップ接続を含む。それぞれのタップ接続は、基準位相からそれぞれ異なる位相遅延だけ遅延したクロックパルスを提供する。n個のタップ接続のそれぞれにはマルチプレクサが接続されていて、このマルチプレクサが、クロックパルスを示す出力を発生する。選択器回路がマルチプレクサを制御してn個のタップ接続の異なる接続の系列を順次マルチプレクサの出力に接続し、それによってその出力が基準位相からそれぞれ異なる位相ずれを有する一連のクロックパルスを示す。

【0008】

【発明の実施例】図1にクロック周波数変調器の回路図を示す。クロック周波数変調器の回路は3つの主要な構成要素を含む。第1の構成要素は、論理ゲート12、14、16等の遅延回路10である。遅延回路10は、ANDゲート等の適当なデジタル論理回路によって実施され、該ゲートは縦続接続されて遅延回路10に加算遅延を生ぜしめる。引き続くゲート（たとえば12と14）間の接続は、それぞれ遅延回路10の「タップ」である。

【0009】知られているように、それぞれのゲート回路12、14、等はそれ自身遅延を有していて、入力18に与えられたクロックパルスはライン20を通して遅延なしに伝わり、ライン22を通して1ゲート遅延して伝わり、ライン24を通して2ゲート遅延して伝わり、... というふうになる。ANDゲートを遅延要素として用いるために、それぞれのANDゲートへの複数の入力を結び合わされてANDゲートへの単一の入力とし動作させる。

【0010】回路の第2の構成要素は、遅延回路10におけるタップの1つを選択して変調器の出力28に接続する機能を果たす選択器モジュール26である。選択器モジュール26は、所定のまたは無作為のどちらかのパターンにしたがってその出力30の1つを選択的に付勢する。（入力ライン32経由で与えられる）クロック入力が生起するたびに、選択器モジュール26によって出力ライン30の1つがアクティブなる。選択器モジュール26は、たとえば、アップ・ダウン・カウンタとして構成されていても、制御プロセッサ（図示せず）からの3つの入力2進数値をライン30上の8つの出力のうちの1つに変換する論理ツリーとして構成されていても、乱数計算にしたがってライン30の8つの出力のうちの1

4

つを発生する乱数発生器を含む回路として構成されていてもよい。選択器モジュール26がアップ・ダウン・カウンタであるとする、ライン30上の出力のパターンは図2に示すようになる。ライン30のそれぞれの1ラインは、連続して、最初は第1の方向に、次に第2の、反対の方向に、アクティブになる。

【0011】本発明の第3の構成要素は、複数のANDゲート36と、それらに接続されたORゲート38とを含むマルチプレクサ回路34である。マルチプレクサ回路34は、選択器モジュール26から（ライン30経由で）入力を受け取り、それにしたがって遅延回路10における特定のタップを出力ライン28に接続する。マルチプレクサ回路34は、平衡マルチプレクサとして構成されており、遅延回路10のタップからクロック信号出力28への遅延経路はすべて同等になる。このことによって、出力ライン28上の引き続くクロックパルス間の位相における唯一の相違は特に選択されたタップまでの遅延によって決定するということが確実になる。

【0012】動作中に、それぞれのクロック入力ライン32から与えられると、選択器モジュール26はその出力ライン30のうちの1つをアクティブにする。どの出力ライン30がアクティブにされるかによって、ANDゲート36の1つが部分的に選択される。この部分的に選択されたANDゲート36のひとつは、入力端子18に与えられた同じクロックパルスがANDゲートに接続されたタップに到達すると完全に選択される。この時点で、クロックパルスはn個のANDゲート分だけ遅延しており、完全に選択されたANDゲート36が、OR回路38を通して出力ライン28に伝わるパルス出力を発生する。このクロックパルスの持続期間に、他のANDゲートで完全に選択されるものはない。次のクロックパルスが発生すると、選択器モジュール26はライン30のうちの別の1つをアクティブにし、同じ過程が繰り返される。

【0013】選択器モジュール26がそれぞれのクロックサイクルにおいて確実に異なる出力ライン30をアクティブにすることによって、出力ライン28において現れるクロックパルスが元々与えられたクロック信号の基準位相に関してそれぞれ異なる位相関係を有することが確実になる。このような位相変化によって、結果としてクロック周波数の高調波におけるエネルギーが広がることになる。

【0014】例として、遅延回路10におけるそれぞれのANDゲートが300ピコ秒の遅延を示すとする。遅延回路10が7個のANDゲートを有しているため、入力ライン20から出力タップ40までを通る遅延の合計は2.1ナノ秒である。50MHzの信号は20ナノ秒の信号周期を有しているので、2.1ナノ秒は信号周期の約10パーセントであり、したがって、遅延回路10は（基本周波数において）約36度の合計位相遅延を示

すことになる。50MHzにおいては、これは正負18度の位相変化に一致する。これと対照に、10番目の調波(500MHz)においては、位相変化は 10×18 度つまり180度となる。このことによって、図1の回路で、RFIにおいて最もきいてくる高調波において、本質的なエネルギーの広がりや達成されることが立証される。

【0015】なお、前述の説明は本発明を例示したものに過ぎない。当業者であれば、本発明から逸脱することなしに、種々の変更を工夫することができる。下記に本発明の実施例の幾つかを列挙して参考に資す。

【0016】(実施態様1) 基準位相を示すクロックパルスが発生するクロックパルス源(18)と、前記クロックパルス源(18)に接続され、それぞれが前記基準位相から互いに異なる位相遅延だけ遅延したクロックパルスが発生するn個のタップ(20、22、24、40)を含む遅延手段(10)と、前記n個のタップ(20、22、24、40)のそれぞれに接続され、クロックパルスを示す出力(28)が発生するマルチプレクサ手段(34)と、前記マルチプレクサ手段(34)を制御して前記n個のタップ(20、22、24、40)の相異なるひとつを連続して前記出力(28)に接続し、それによって前記出力(28)が前記基準位相からそれぞれ異なる位相ずれを有する一連のクロックパルスを示すようにする選択器手段(26)とを含む位相変調クロックパルス発生器。

【0017】(実施態様2) 前記選択器手段(26)が前記マルチプレクサ手段(34)を制御して、前記各クロックパルス毎に、異なるタップを前記出力(28)に接続することを特徴とする実施態様1に記載の位相変調クロックパルス発生器。

(実施態様3) 前記選択器手段(26)が前記マルチプレクサ手段(34)に接続された複数の出力(30)を有し、前記クロックパルス源(32)と結合し、各前記クロックパルスの発生毎に前記マルチプレクサ手段(34)が前記n個のタップ(20、22、24、40)の異なるひとつと前記出力(28)を相互に接続するため前記出力(30)上に異なる制御出力状態を与える回路手段を含む実施態様1に記載の位相変調クロックパルス発生器。

【0018】(実施態様4) 前記制御出力状態が前記回路手段の前記複数の出力(30)を規則的かつ順次に変化することを特徴とする、実施態様3に記載の位相変調クロックパルス発生器。

(実施態様5) 前記制御出力状態が前記回路手段の前記複数の出力(30)を無作為な順序で変化することを特徴とする、実施態様3に記載の位相変調クロックパルス

発生器。

【0019】(実施態様6) 前記遅延手段(10)が一連の接続された論理ゲート(12、14、16)を含み、前記n個のタップ(20、22、24、40)が前記論理ゲート(12、14、16)間の結合点にあることを特徴とする実施態様1に記載の位相変調クロックパルス発生器。

(実施態様7) 前記論理ゲート(12、14、16)が複数の直列接続のANDゲートを含む実施態様6に記載の位相変調クロックパルス発生器。

【0020】(実施態様8) 前記マルチプレクサ手段(34)が、それぞれが、前記遅延手段(10)における前記n個のタップ(20、22、24、40)のひとつに接続された一方の入力と、前記選択器手段(34)からの前記出力(30)のひとつに接続された他方の入力とを有する、複数のANDゲート(36)と、前記ANDゲート(36)のすべての出力を前記出力(28)に接続する論理手段(38)とを含む実施態様3に記載の位相変調クロックパルス発生器。

【0021】

【発明の効果】以上詳述したように本発明の実施により、正確なクロックを正確に遅延して位相変調するので、クロックパルスの漂動のないエネルギーの周波数拡散が可能となり、効果的にRFIを低減できる。

【図面の簡単な説明】

【図1】本発明にしたがって構成されたクロック位相変調器の図である。

【図2】回路の位相出力を制御する、図1の回路における選択器への論理出力を示す図である。

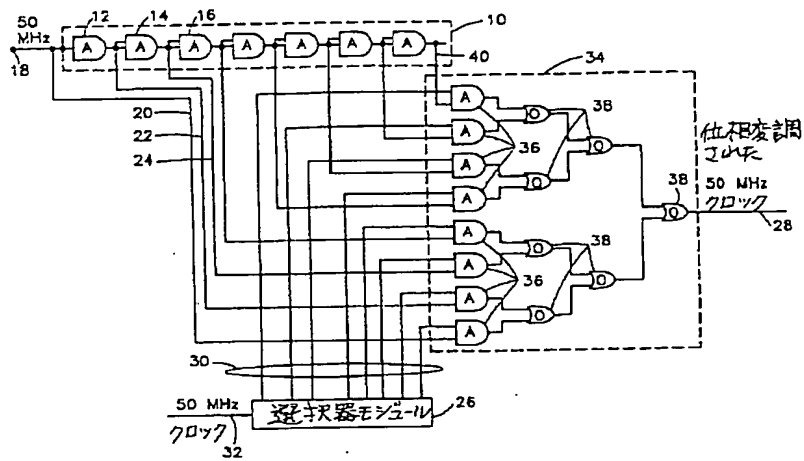
【符号の説明】

10	・・・	遅延回路
12	・・・	ANDゲート
14	・・・	ANDゲート
16	・・・	ANDゲート
20	・・・	ライン
22	・・・	ライン
24	・・・	ライン
26	・・・	選択器モジュール
28	・・・	ライン
30	・・・	ライン
32	・・・	ライン
34	・・・	マルチプレクサ
36	・・・	ANDゲート
38	・・・	ORゲート
40	・・・	出力タップ

(5)

特開平 7-202652

【図1】



【図2】

論理出力

1000 0000
0100 0000
0010 0000
0001 0000
0000 1000
0000 0100
0000 0010
0000 0001
0000 0010
0000 0100
.....

